

B75

JP 550022352 A

FEB 1985

(51) INTEGRATED CIRCUIT PACKAGE

(11) 60-22352 (A) (43) 4.2.1985 (19) JP

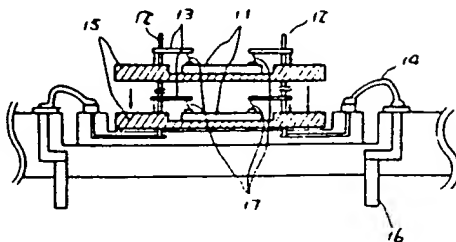
(21) Appl. No. 58-130202 (22) 19.7.1983

(71) TOSHIBA K.K. (72) MASATOSHI SEKINE

(51) Int. Cl. H01L25/01

PURPOSE: To facilitate high density mounting by a method wherein pins are provided to a pedestal with terminals planted in enclosure manner, and substrates, which are mated with the pins and on recessed parts of which chips are mounted, and wiring boards are closely laminated alternately.

CONSTITUTION: An LSI chip 11 is bonded to a bed 15. The beds 15 and wiring boards 13 are laminated alternately. Interconnection between the LSI and the wiring board 13 is performed and interconnection between the LSIs is performed through a pin 12. Connection is made by direct connection of soldering or by bonding of a lead wire. The thickness of ordinary LSI chip can easily be made at mm order or less and the thickness of one set including internal lead wires can be made 1mm or less.



257/686

⑪ Int. Cl.
H 01 L 25/04

識別記号

庁内整理番号
7638—5F

⑬ 公開 昭和60年(1985)2月4日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 集積回路パッケージ

① 特 願 昭58—130202
② 出 願 昭58(1983)7月19日
③ 発 明 者 関根優年

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内
④ 出 願 人 株式会社東芝
川崎市幸区堀川町72番地
⑤ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称

集積回路パッケージ

2. 特許請求の範囲

複数の入出力端子を有する台座に前記端子と夫々接続された複数の導体柱が配列状に設けられ、この台座上に前記導体柱と嵌合し、凹部に集積回路チップが固定された基板と、前記チップと導体柱間を通直接続する配線板とが交互に配置して積層されてなる事を特徴とする集積回路パッケージ。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明は、LSIのパッケージ方法に関し、特に多数のLSIを同一パッケージに封入することに関するものである。

(従来技術とその問題点)

従来より、LSIチップは、セラミック又は、プラスチックパッケージの内に封入され、パッケージはリード線を外部に出している構成が大部分である。大規模回路が普通になるに従い、LSIの高

集積化、又は、多くのLSIを1つの大きなパッケージ内に封入して、システムの小型化を計る方法も見られるが、従来からのLSIのパッケージ方法は、第1図に示すように平面的に多数のLSIを配置するのが普通である。

又、1つのLSIをプラスチックパッケージする時には第2図に示すようなリードフレームを用い、LSIチップをベッド上に配置し、各リード線とLSIとをボンディングした後、熱硬化性樹脂により封入するのが普通である。

ところが、こうしたLSI^{1/2}次元的又は、個別に配置する方法では、LSIを高集積化することには、限度があった。

(発明の目的)

本発明は、簡便で、低コストなパッケージ方式を実現するものである。

(発明の概略)

本発明は入出力端子を有する台座上にピンを配列状に設け、これに嵌合し、凹部にチップが搭載された基板と、チップとピンを通直接続する配線

版とを交互に密着して積層したものである。

(発明の効果)

本発明によれば、高密度の集積が極めて容易に行なえると共に、チップ間の配線がピンにより行なわれるので、配線長が短かく信号容量を小さくすることができ低消費電力化、高速化に大きな効果がある。

(発明の実施例)

以下、図を参照して詳細な説明を行う。第3図に本方式によるパッケージ方法を示す。まず、各LSIは第5図に示すような、ベッド15にあらかじめ、張り付け等の技術を用いて接合されている。このベッドは金属母体43と絶縁体45との層構造よりなり、さらに垂直方向に結線が行えるように通孔44が開けられている。垂直結線と金属母体とが絶縁させることができる。金属母体43は、LSI基板の位置を取ると同時に、ヒートシンクとしての働きをもち、高密度パッケージによる温度上昇を防ぐ働きがある。第4図は配線板(内部フレーム)を示し、内部リードフレーム

32(チップのパッド33を所定のピン(導通)に接続)と絶縁支持層により形成される。各LSIチップを各ベッドに配置したあと、第3図のごとく各ベッドと第4図に示す配線板とを交互に積み重ね、LSIと内部フレーム、ピン(導体柱12)を通じてLSI間の相互接続を行う。この内部フレームとLSIとの接続方法は、ろう付けによる内部フレームの直付けあるいは、リードワイヤをボンディングすることによって行なう。内部リードフレーム32端には上記ピン12用の接合孔が設けられている。通常のLSIチップの厚さは約300 μ m程度であり、LSIベッドの厚さは1mm以下にすることは容易であり、及び内部リード線を含めた1組の厚さは、1mm以下にすることは容易に実現できる。又、これら基板間の密着は樹脂等による接着又は圧接で良い。

したがって、10組程度のLSIを実装した場合でも、パッケージ第6図に示すような形状であり、その厚さの増加は、数mm程度とごく僅かである。

本発明による長所としては、LSIチップの集積

密度が大巾に向上すること、LSIチップ間の内部配線長が数mmであるため、LSIチップに接続された配線の信号伝達速度が従来の方式に比べ、大巾に向上できるため、LSIのOutput bufferの電流駆動力を小さくすることができLSIの電力を低減することができ、LSIチップ間が短いため、高速化が実現できることなどが上げられる。

4. 図面の簡単な説明

第1図は、通常のマイクロパッケージの上面図、第2図は、通常のリードフレームの構造の上面図、第3図は本発明によるパッケージの断面図、第4図は、本発明に使用される内部リードフレームの上面図、第5図はLSIベッドの斜視図、第6図はLSIパッケージの斜視図である。

図において、

11…LSIチップ、12…ピン、13…内部リードフレーム、14…ボンディングワイヤ、15…ベッド、16…リード線、22…チップヘッド、21…リード線、31…チップ領域、32…内部リードフレーム、33…パッド、

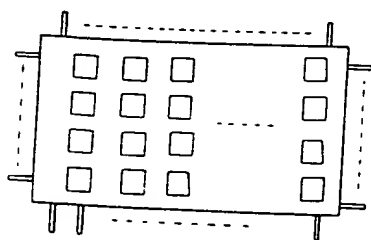
34…絶縁層、41…LSIチップ、42…ベッド、43…母体、44…孔、45…絶縁体、17…配線、

代理人 井原士 則 近 憲 祐
(12か1名)

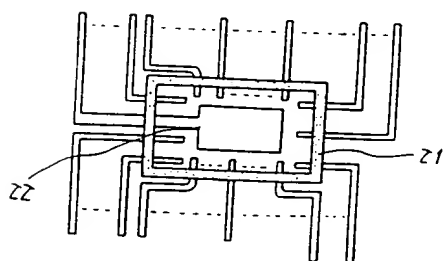
定のピン(10)に
はされる。各LSI
は、出さぬのた
と互に互に用い
(導体柱12)を
この内配フレイ
にによる付加フ
ワイヤボンデ
付加リードフ
合孔が設けられ
は約300μm程
以下にすると
導を合わせた1組
容易に出現でき
容易による脱落

突強した場合
を形成であり
種かである。
チップの接続

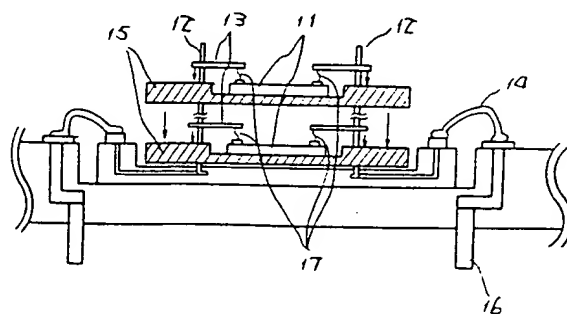
第 1 図



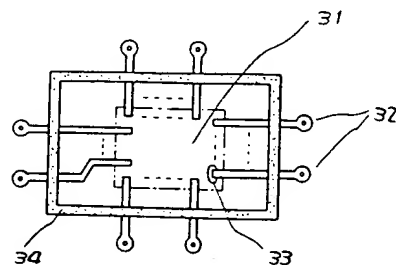
第 2 図



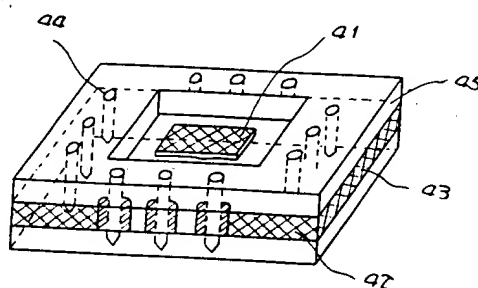
第 3 図



第 4 図



第 5 図



第 6 図

